

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-032767

(43)Date of publication of application : 12.02.1988

(51)Int.Cl.

G11B 20/10

(21)Application number : 61-175616

(71)Applicant : HITACHI LTD  
HITACHI VIDEO ENG CO LTD

(22)Date of filing : 28.07.1986

(72)Inventor : ITO SHIGEYUKI  
WATAYA YOSHIKUMI  
TSUNOKA AKITOSHI

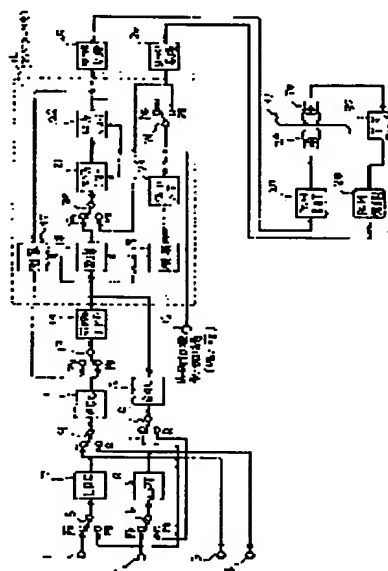
## (54) DIGITAL SIGNAL RECORDING AND REPRODUCING SYSTEM

## (57)Abstract:

PURPOSE: To attain the function such as high sound quality and sound dubbing or the like and the high density recording by using a means compressing the dynamic range so as to decrease the bit number of a digital signal more than the output bit number.

CONSTITUTION: A left (L) and a right (R) sound signal inputted from input terminals 1, 2 are subject to band limit by LPFs 7, 8 after through switch circuits (SW) 5, 6.

An output signal of the LPFs 7, 8 is converted into LR sequential 16-bit digital signal by an SW 9 and an AD conversion circuit 11. The dynamic range of the input sound signal in the output signal of the circuit 11 is subject to 1/2 logarithmic compression by a digital noise reduction (NR) 16 through the SW 13 and a digital LPF 14 and the signal is compressed into 10-bit data from the 16-bit data. Then an output signal of the NR 16 is subject to time axis compression by a PCM modulation circuit 27 through a 10-8 conversion circuit 25 and the result is recorded on a magnetic tape 31. Thus, the function of high sound quality and sound dubbing or the like and the high density recording are attained in this way.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報(A)

昭63-32767

⑤ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

④ 公開 昭和63年(1988)2月12日

G 11 B 20/10

A-6733-5D

審査請求 未請求 発明の数 1 (全12頁)

⑬ 発明の名称 デジタル信号記録再生システム

⑭ 特 願 昭61-175616

⑮ 出 願 昭61(1986)7月28日

⑯ 発 明 者 伊 藤 滋 行 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内  
 ⑯ 発 明 者 綿 谷 由 純 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内  
 ⑯ 発 明 者 角 鹿 明 俊 神奈川県横浜市戸塚区吉田町292番地 日立ビデオエンジニアリング株式会社内  
 ⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
 ⑰ 出 願 人 日立ビデオエンジニアリング株式会社 神奈川県横浜市戸塚区吉田町292番地  
 ⑱ 代 理 人 弁理士 小川 勝男 外1名

## 明 細 書

## 1. 発明の名称

デジタル信号記録再生システム

## 2. 特許請求の範囲

1. 複数の回転ヘッドにて時間軸圧縮されたデジタル信号を記録再生する磁気記録再生装置において、入力されるアナログ信号をデジタル信号に変換する手段と、該デジタル信号のダイナミックレンジを対数圧縮する手段と、該ダイナミックレンジ圧縮手段の出力信号をPCM信号に変調する手段と、該PCM信号の時間軸を圧縮して磁気テープ上に記録再生する手段とを備え、該ダイナミックレンジを圧縮する手段にてデジタル信号のビット数を該デジタル信号へ変換する手段の出力ビット数よりも小さくすることを特徴とするデジタル信号記録再生システム。

2. 上記ダイナミックレンジを圧縮する手段が、高域成分を強調する第1のエンファシス回路と第2のエンファシス回路と、第3のエンファシス

ス回路と、振幅レベルを検波する検波回路とを有しており、上記第1と第2のエンファシス回路は記録時と再生時とで逆特性を有するように特性が切換えられることを特徴とする特許請求の範囲第1項記載のデジタル信号記録再生システム。

3. 上記エンファシス回路と検波回路とが、IIR形デジタルフィルタにて構成され、かつ、第1及び第2のエンファシス回路のフィルタ係数が記録/再生にて切換えられることを特徴とする特許請求の範囲第2項記載のデジタル信号記録再生システム。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、信号のダイナミックレンジをデジタル処理形ノイズリダクションによって圧縮したのちデジタル信号として記録し、再生時には再生デジタル信号を再び上記デジタル処理形ノイズリダクションにて元のダイナミックレンジに伸長するデジタル信号記録再生システムに関する

る。

#### 〔従来の技術〕

現在、一般的に使用されているカセット式VTRに代表される家庭用映像信号磁気記録再生装置（以下、VCRと略記する。）では、映像信号を周波数変調（FM）し、回転ヘッドにて磁気テープ上に斜めの記録トラックとして記録し、音声信号は磁気テープの端部に長手方向のトラックとして固定ヘッドにて高周波バイアスにて記録している。

また、近年の磁気テープ、ヘッド、信号記録技術などの進歩が目覚しく、これにより記録密度が大幅に向上して、約10年前のVTRに比べて17倍以上もの高密度記録が達成されている。

これら高密度記録は、テープ走行速度の低速化による記録トラック幅の狭小化を行なっており、テープ走行速度は11mm/sである。

このような低テープ走行速度になると、固定ヘッドによる音声信号記録方式では、ワウ・フラッタ特性、再生S/N、再生周波数特性等が劣化し、十分な音質が得られなくなり、上記高記録密度化

シグの機能とを両立させることができる。

また、この方法の応用として、特開昭58-222402号に記載されているように、映像信号記録トラックを分割し、各分割トラックに時間軸圧縮した音声信号を記録し、映像信号プラス音声信号記録モードと、音声信号専用記録モードとを有したVCRが提案されている。

#### 〔発明が解決しようとする問題点〕

ところで、家庭用VCRでは磁気テープの記録可能時間をできるだけ長くし、テープ利用効率をあげることが必要である。そこで、上記した時間軸圧縮音声信号を記録するエリアはできるだけ小さいことが望ましい。

しかしながら、磁気テープ上に記録できる波長には限界があり、現状の家庭用高密度記録VCRでは高々7~8MHz程度までである。

一方、高音質化を達成するためには、

ダイナミックレンジ：80dB以上

周波数帯域：15kHz以上

が必要となる。この音質を得るために、たとえば

による小形・軽量・低コスト化のニーズと高画質・高音質化のニーズとを両立させることが困難である。

これらを両立させる一方法として、音声信号をFMし、映像信号記録トラック上に回転ヘッドで記録する方法がある。この方法により、ワウ・フラッタ特性、再生S/N、再生周波数特性等の音質面の劣化は解消され、高音質の再生音声信号が得られる。しかしながら、この方式では音声信号と映像信号とが同一トラック上に記録されるため、編集等における音声信号のみの後追い記録（音声ダビング）を行なうことができないという問題がある。

そこで、上記ニーズを両立させる他の方法として、特公昭60-8525号に記載されているように磁気テープを回転シリンダに従来のよりもθだけ多く巻付け、映像信号記録トラックと音声信号記録トラック（θ部分）とを分割し、この音声信号記録トラックには時間軸圧縮した音声信号を記録する方法がある。これにより、高音質化と音声ダビ

ルス・コード変調（PCM）を用いたとすると音声信号データでも、

$$52(\text{kHz}) \times 16(\text{bit}) \times 2(\text{ch}) = 1024 \text{ Mbit/s}$$

が必要であり、時間軸を1/6に圧縮（音声信号記録エリア：約30°、映像信号記録エリア：180°）したとすると、記録に必要な音声データの伝送レートは、

$$1024(\text{Mbit/s}) \times 6 = 6144(\text{Mbit/s})$$

必要となる。このほかに、アドレスデータ、エラー訂正データ等を記録する必要があり、記録信号の伝送ビットレートとして変調方式にもよるが、十数Mbit/sが必要となる。

したがって、上述の高音質化と、音声ダビングなどの機能及び高密度記録を達成するためには、伝送ビットレートを低くして、かつ高音質を確保する信号記録方法が不可欠であるが、上記従来技術では、これらの点に触れていない。

本発明の目的は、上記高音質化と、音声ダビング等の機能及び高密度記録を達成するデジタル信号記録再生システムを提供することにある。

〔問題点を解決するための手段〕

上記目的は、入力音声信号をアナログーデジタル変換(ADC)にて16ビットのデジタル信号に変換したのち、このデジタル信号のダイナミックレンジを対数的に $1/2$ に圧縮して(デジタルNR)、デジタル信号の情報ビット数を10ビットに圧縮したのち、時間軸圧縮及び変調して、磁気テープ上に記録を行ない、再生時は、再生信号を復調及び時間軸伸長して得られた10ビットデジタル信号を上記ダイナミックレンジ圧縮特性と逆特性を有する伸長手段(デジタルNR)で、元のダイナミックレンジに伸長(16ビットデジタル信号)し、デジタルーアナログ変換(DAC)を通して再生音声信号を得ることにより達成でき高音質ダイナミックレンジ: 80dB以上、周波数帯域: 15kHz以上を確保したままで、記録デジタル信号のビット数を少なくとも $1/2$ 以下に圧縮することができる。

〔作用〕

上記デジタル信号のダイナミックレンジを圧

第1のエンファシス回路と第2のエンファシス回路の両方の特性が与えられた圧縮デジタル信号が得られる。このようにすることで、伝送ビットレートの低減を目的とするダイナミックレンジの圧縮に伴ない発生する雑音、すなわち、ノイズレベル変動に起因するノイズの息つき現象(ブリージング現象)を軽減している。

さらに、振幅レベル検波回路においては、小信号レベルから急に大信号レベルが入力した場合のエンファシス等によるオーバーフロー防止のために短いアタックタイム特性を与え、大信号レベルから急に小信号レベルになった場合には小信号時のブリージング現象を軽減するために、一定時間の圧縮動作停止(ホールドタイム特性)を行なった後にリカバリタイム特性を与えている。再生時には、再生デジタル信号(10ビット)を第1のエンファシス回路、第2のエンファシス回路で高域抑圧(ディエンファシス)した信号と、再生デジタル信号(10ビット)をウェーティング回路で高域強調し、振幅レベル検波回路で振幅検波

縮伸長するデジタルNRは、IIR形デジタルフィルタで構成された第1のエンファシス回路と、第2のエンファシス回路、ウェーティング回路と振幅レベル検波回路と、割算・掛算回路とで構成することにより、圧縮時(記録時)は、入力される16ビットのデジタル信号を、第1のエンファシス回路、第2のエンファシス回路、ウェーティング回路で高域強調された信号を入力とする振幅レベル検波回路の出力信号によって割算すること、ダイナミックレンジを対数的に $1/2$ に圧縮している。なお、圧縮された10ビットデジタル信号は、第2のエンファシス回路より出力信号として得られる。

ここで、上記第2のエンファシス回路とウェーティング回路は、記録時には同一の高域強調特性を有しており、定常状態(検波回路の動作期間)では、第1のエンファシス回路の特性のみが与えられた圧縮デジタル信号が得られ、検波回路の不感期間に相当する状態(低域大振幅信号上に高域小信号が重畳されたような状態)においては、

した出力信号との掛算を行なうことでダイナミックレンジを元のレンジに伸長している。

ここで、上記第1のエンファシス回路と第2のエンファシス回路は、再生時には記録時と逆特性の高域抑圧特性を有するように切換えられる。また、検波回路は、記録時と同様にアタックタイム特性、ホールドタイム特性、リカバリタイム特性を有している。

このように、ダイナミックレンジの圧縮伸長により伝送ビットレートの低減を行なうとともに、ダイナミックレンジ圧縮伸長によって生じる音質劣化(ブリージング現象、オーバーフロー等)の防止をも行なっている。

また、デジタル信号処理により上記圧縮伸長を行なっているため、素子バラツキによるアタックタイム特性、ホールドタイム特性、リカバリタイム特性、エンファシス特性等の特性バラツキが生じない。時定数やレベル等の調整が必要なく、時定数等の周辺部品も必要ないので、IC化に適していると共に、小形・軽量のデジタル信号記録

再生システムが構築できるなどの多くのメリットを有している。

〔実施例〕

以下、本発明の実施例について図面を用いて詳細に説明する。

第1図は、本発明の一実施例を示すシステムブロック図である。

記録時 ( $\overline{PB}$  時) には、入力端1及び2から入力した左側 ( $L$ ) と右側 ( $R$ ) 音声信号は、各々スイッチ回路 ( $SW$ ) 5, 6 ( $\overline{PB}$  側) を通ったのち、帯域制限フィルタ ( $LPF$ ) 7, 8 にて折返し雑音防止のためサンプリング周波数 (例えば、 $64\text{kHz}$ ) の  $1/2$  以下に帯域制限される。 $LPF$  7, 8 の出力信号は、スイッチ回路 ( $SW$ ) 9 と  $AD$  変換回路 ( $ADC$ ) 11 にて、 $LR$  順次の16ビットのデジタル信号に変換される。 $ADC$  11 の出力信号は、 $SW$  13 ( $\overline{PB}$  側) を通ってデジタル  $LPF$  14 にて、記録音声信号帯域 (例えば、 $15\text{kHz}$ ) に帯域制限及びサンプリング周波数変換 ( $64\text{kHz}$  から  $32\text{kHz}$  へ) されたのち、デジタルノイズリダクション (デジタル

$SW$  13 ( $\overline{PB}$  側) を通って、デジタル  $LPF$  14 にて不要帯域成分の除去及びサンプリング周波数変換 ( $32\text{kHz}$  から  $64\text{kHz}$  へ) されたのち、 $DA$  変換回路 ( $DAC$ ) 12 にてアナログ音声信号に変換され、 $SW$  10 にて、 $L \cdot R$  の2チャンネル信号に交互に振分けられたのち、 $SW$  5, 6 及び  $LPF$  7, 8 で不要成分除去後に、出力端3, 4より再生音声信号として出力される。

ここで、デジタル  $NR$  16 は、 $IIR$  形デジタルフィルタにて構成される第1及び第2のエンファシス回路としてのエンファシス回路21, 22, ウェーティング回路23, 振幅レベル検波回路19, 割算回路18, 掛算回路17,  $SW$  20, 24 とで構成されている。このデジタル  $NR$  16 の動作について第2図、第3図に示すフローチャートを用いて説明する。

まず、第2図を用いて記録時 ( $\overline{PB}$  時) について説明する。デジタル  $LPF$  14 の出力信号  $X$  (第2図ステップ  $e$ ) は、割算回路18にて振幅レベル検波回路19の出力信号  $Y$  にて割られる (ステップ  $d$ )。

$NR$  16 で入力音声信号のダイナミックレンジを  $1/2$  に対数圧縮され、16ビットデータから10ビットデータにデータ圧縮される。デジタル  $NR$  16 の出力信号は、10ビット→8ビット変換回路にてさらに10ビットデータが8ビットデータに折線圧縮されたのち、 $PCM$  変調回路27にて、エラー訂正データ、アドレス等が付加されたのち、時間軸圧縮・変調が行なわれて回転ヘッド29にて磁気テープ31上に記録される。

再生時 ( $PB$  時) には、磁気テープ31より回転ヘッド30にて再生された再生信号は、データ・ストローブ回路32にて、波形等化の後にデータ再生されて、再生デジタル信号となる。この再生デジタル信号は、 $PCM$  復調回路28にて、得調・時間軸伸長等が行なわれて、8ビットデータになる。 $PCM$  復調回路28の出力信号は、8ビット→10ビット変換回路26にて8ビットデータから10ビットデータに伸長されたのち、デジタル  $NR$  16 にて元のダイナミックレンジに伸長され、16ビットデータとなる。デジタル  $NR$  16 の出力信号は、

割算回路18の出力信号は、 $SW$  20 ( $\overline{PB}$  側) を通って、エンファシス回路21, エンファシス回路22にて、高域強調されたのち (ステップ  $e, f$ )、一方は圧縮出力として10ビット→8ビット変換回路25に出力され、他方は  $SW$  24 ( $\overline{PB}$ ) を通って、デジタル  $NR$  16 の制御信号を発生するウェーティング回路23, 検波回路19に出力する。ウェーティング回路23は、エンファシス回路22と同一の特性を有しており、エンファシス回路22の出力信号はさらに高域強調されたのち (ステップ  $g$ )、振幅レベル検波回路19内で絶対値変換 (ステップ  $h$ ) が行なわれ、この出力レベル  $W$  とデジタル  $NR$  16 の制御信号である検波回路19の出力信号  $Y$  とが比較され、比較結果に応じて、デジタル  $NR$  16 の過渡応答特性を制御するホールド、リカバリ、アタックの3モードに分けられる (ステップ  $j, k, m$ )。

アタックモードでは、ステップ  $j$  において検波出力信号  $Y$  が絶対値変換出力信号  $W$  より小さい場合 ( $W \geq Y$ ) であり、検波回路定数としてアタック係数 (例えば、アタックタイム  $3ms$ ) が設定され

検波回路19にて入力信号レベルが検波され、検波出力信号 $Y$ として出力される(ステップ $n, p$ )。

ホールド、及びリカバリモードは、ステップ $j$ において $Y < \gamma$ の場合であり、まずホールドモードが行なわれ(検波動作停止と検波出力のホールド)、一定時間経過後(ステップ $m$ )リカバリモードとなる。

ホールドモードは、圧伸によるノイズの息継ぎ現象を軽減するため、一定時間(例えば、15ms)ディジタルNR16の動作をホールドするものである。まず、振幅レベル検波回路19の演算をホールド期間停止し、その期間は演算停止前の検波回路出力信号をホールドする(ステップ $o, t$ )。

リカバリモードは、ホールド期間(例えば、15ms)終了後、リカバリ期間(例えば40ms)振幅レベル検波回路19への入力信号レベルを零とし、かつ、検波回路定数をリカバリ係数が設定されたのち、検波回路19の演算結果を出力する(ステップ $o, q, r$ )。なお、上述のごとくウェーティング回路23とエンファシス回路22とは同一の特性を有

エンファシス回路22も、係数切換制御信号に応じて切換わり、ディエンファシス特性を有する。なお、各ディエンファシス特性は、各エンファシス特性を打消す(逆特性)特性である。エンファシス回路22の出力信号は、掛算回路17に入力し、一方検波回路19の出力信号が掛算回路17に入力し、各々の掛算結果(ステップ $e'$ )がS#13(PB側)を通してディジタルLPP14, DAC12, S#10, 5, 6, LPP7, 8を経て、出力端3, 4より伸長出力として出力される(ステップ $d', e', f', g'$ )。なお振幅レベル検波回路19内の動作は、第2図と同一であるので説明を省略する。

以上説明した実施例においては、16ビットデータを8ビットに圧縮していることから、音声データに関して、 $1/2$ に圧縮されたことになり、記録信号伝送ビットレートを少なくとも $1/2$ 以下にできる。また、音質面に関しては、

- (1) サンプル周波数: 32kHz
  - (2) 量子化ビット数 : 16ビット
- から、

していることから、定常状態(検波回路19の動作期間)では、エンファシス回路21の特性のみが付加され、過渡状態(検波回路19の不応動状態)ではエンファシス回路21とエンファシス回路22の特性の両方が付加されることになる。このようにすることで、ブリージング現象の軽減を図り、ダイナミックレンジ圧縮伸長による音質劣化を防止している。

次に第3図を用いて、再生時(PB時)の動作について説明する。

8ビット→10ビット変換回路26の出力信号は、S#20, 24(PB側)を通して、ウェーティング回路23, エンファシス回路21に入力する。(ステップ $k', e'$ )ここで、エンファシス回路21の係数は、入力端15より入力する $PB/\overline{PB}$ 制御信号に応じて切換わり、ディエンファシス特性(高域抑制特性)を有する。エンファシス回路21の出力は、エンファシス回路22に入力し(ステップ $d'$ )、一方ウェーティング回路23の出力信号は、振幅レベル検波回路19(ステップ $j' \sim e'$ )に入力する。ここで、

- (1) 音声周波数帯域 : 15kHz以上
- (2) ダイナミックレンジ: 90dB以上

を得ることができる。

次に、ディジタルNR16の具体的な回路構成の一例を第4図に示す。

第4図において、破線で囲んであるブロック21, 22がエンファシス回路21及びエンファシス回路22であり、ブロック23がウェーティング回路23、ブロック19が検波回路19である。エンファシス回路21, エンファシス回路22, ウェーティング回路23は、同一構成のIIR形ディジタルフィルタで構成されており、かつ、各回路は、交互に送出されるR信号, L信号に対応するように切換S#にて制御される。

エンファシス回路21は、加算器42, 43, 掛算器44, 49, 50, ディレイ用のラッチ回路46, 47, L-R信号切換用S#45, 48, 係数メモリ53, 54, 147, 148, 係数切換用S#51, 52, 145と負数化回路55で構成されている。エンファシス回路22は、加算器56, 57, 掛算器58, 63, 64, ディレイ用のラッチ

回路60,61, L・R信号切換用SW59,62, 係数メモリ67,68,149,150, 係数切換用SW65,66,146, 負数化回路69で構成されている。ウェーティング回路23は、加算器70,71, 掛算器72,77,78, ディレイ用のラッチ回路74,75, L・R信号切換用SW75,76, 係数メモリ79,80,81で構成されている。

振幅レベル検波回路19は、検波部58, 絶対値変換回路82, ホールド回路39, アタック・リカバリ・ホールド制御部40,41で構成されている。検波部58は、加算器84,85, 掛算器92, ディレイ用のラッチ回路89,90, L・R信号切換用SW86,91, 係数メモリ94,95, 係数切換用SW93, アタック・リカバリ・ホールド制御用SW83,87,88で構成されている。ホールド回路39は、ディレイ用のラッチ回路99,100, L・R信号用切換SW96,101, ホールド用SW97,98で構成されている。アタック・リカバリ・ホールド制御部40,41は、比較回路102, 105, モノマルチ(MMP)103,104,106,107, L・R信号切換用SW108,109で構成されている。なおアタック・リカバリ・ホールド制御部40はL信号

ただし、記録と再生とで逆特性となれば良いので、単に係数の入れ替え用SWと負数化で達成できる。

ところで、第4図は各ブロックとも同一形態のIIR形デジタルフィルタを基本として構成しているため、集積回路化(IC化)においては第5図に示すような一実施例に採用してもよい。

第5図は、デジタルNRの基本構成の1つであるIIR形デジタルフィルタをIIR演算ユニット126で兼用処理し、かつ、割算回路18と掛算回路17も掛算・割算ユニット116で兼用処理される構成となっている。このため、マルチプレクサ124,128とラッチ回路115,117,125,127と切換SW118,119を用いている。

マルチプレクサ(MPX)124,128は、入力端112,113から入力するセレクト信号S1,S2によって制御されており、制御形態は表2に示す通りである。

以下 余 白

制御用で、アタック・リカバリ・ホールド制御部41はR信号制御用である。

また、エンファシス回路21;エンファシス回路22,ウェーティング回路23,検波部58の各係数例は、表1に示すようであり、エンファシス回路21とエンファシス回路22は、記録時( $\overline{PB}$ )と再生時(PB)とで係数を切換える。

表1 各部係数値

係数名	記録( $\overline{PB}$ )	再生(PB)
エンファシス 1	a	0.24377
	b	-0.69936
	c	2.51541
	d	—
エンファシス 2	e	0.37035
	f	-0.69936
	g	2.09437
	h	—
ウェーティング	i	0.37035
	j	-0.69936
	k	2.09436
検波部	m	0.98
	n	0.99

表2 マルチプレクサ動作表

S1	S2	マルチプレクサ124	マルチプレクサ128
0	0	端子120	端子129
0	1	121	130
1	0	122	131
1	1	123	132

0:ローレベル, 1:ハイレベル

また、IIR演算ユニット126は、第6図に示す掛算器155,157,158, 加算器153,154, ディレイ回路156, 係数回路159,160,161で構成されて、演算を行ない、各係数は入力端112,113から入力されるセレクト信号S1,S2及び入力端15より入力されるPB/ $\overline{PB}$ 制御信号にて係数制御回路162で制御され、表3に示す通りである。また、IIR演算ユニット126内のディレイ回路は、R信号・L信号各々のデータをメモリし、第4図と同じようにR・L信号を交互に処理する構成であり、かつ、入力端152から入力するホールド制御信号にて制御される。

以下 余 白



表 3 IIR 演算ユニット係数制御

$PB/\overline{PB}$	S1	S2	k1	k2	k3
$\overline{PB}$	0	0	0.24377	-0.69936	2.51541
$\overline{PB}$	0	1	0.37035	-0.69936	2.09437
$\overline{PB}$	1	0	0.37035	-0.69936	2.09437
$\overline{PB}$	1	1	アタック 0.98 リカバリ 0.99	1.0	1.0
$PB$	0	0	0.69936	-0.24377	0.39755
$PB$	0	1	0.69936	-0.37035	0.47747
$PB$	1	0	0.37035	-0.69936	2.09437
$PB$	1	1	アタック 0.98 リカバリ 0.99	1.0	1.0

次に、掛算・割算ユニット116の具体的構成の一例を第7図に示す。

第7図において、掛算・割算ユニット116は、対数変換回路(底2の対数)135,139,加算器136,対数逆変換回路137,符号反転・非反転制御回路138から構成されており、上記符号反転・非反転制御回路138は入力端15より入力する  $PB/\overline{PB}$  制御信号に応じて、 $PB$ 時非反転、 $\overline{PB}$ 時

以上説明した第4図及び第5図に示した本発明の実施例にて得られたデジタルNR16のアタックタイム特性、ホールドタイム特性、リカバリタイム特性の例を第8図に示す。

このように本発明により、ダイナミックレンジの圧縮伸長での伝送ビットレートの低減と、ダイナミックレンジ圧縮伸長による音質劣化(ブリージングやオーバーフロー等)の防止とを合わせて達成できる。さらに、上記ダイナミックレンジの圧縮伸長に伴うエンファシス特性、アタックタイム特性、ホールドタイム特性、リカバリタイム特性などの処理は、単に係数データを変化させるだけで容易に行なえ、素子バラツキによる特性変動を生じないばかりか、時定数回路等の周辺部品を必要としないため、IC化に適している。さらに本発明により、記録再生におけるデジタルNR系の兼用化が行なえるため、上記IC化のメリットと合わせて、超小形・軽量のデジタル信号記録再生システムの構築が可能となる。

次に、本発明の他の一実施例について第9図を

反転するように動作する。例えば、 $\overline{PB}$ 時入力端135からXが入力し、入力端140からYが入力したとすると、

$$\log_2 X - \log_2 Y = \log_2 X/Y \quad \text{..... (1)}$$

が対数逆変換回路137に輸入されることになり、出力端141からは、

$$\log_2^{-1}(\log_2 X/Y) = X/Y \quad \text{..... (2)}$$

(ただし、 $\log_2^{-1}$ は対数逆変換を表わす。)

が出力され、割算が行なわれる。

同様に  $PB$ 時に入力端135からXが、入力端140からYが入力されると、

$$\log_2 X + \log_2 Y = \log_2 X \cdot Y \quad \text{..... (3)}$$

対数逆変換回路137に輸入されるから、出力端141からは、

$$\log_2^{-1}(\log_2 X \cdot Y) = X \cdot Y \quad \text{..... (4)}$$

が出力され、掛算が行なわれる。

したがって、単に符号反転・非反転を行なうだけで掛算・割算が行なえることとなる。このように、第5図に示した構成を用いることにより、小規模な回路にてIC化を達成できる。

用いて説明する。なお、第1図と同一の働きをするブロックについては同一の番号を付した。記録時( $\overline{PB}$ 時)には、入力端1及び2から入力したL信号とR信号は、各々SW5,6( $\overline{PB}$ 側)を通ったのち、LPF7,8にて折返し雑音防止のため、サンプリング周波数(例えば、64kHz)の $1/2$ 以下に帯域制限される。LPF7,8の出力信号は、SW9とADC11にて、LR順次の16ビットのデジタル信号に変換される。ADC11の出力信号は、SW15( $\overline{PB}$ 側)を通してデジタルLPF14にて音声帯域(例えば、15kHz)に帯域制限し、かつサンプリング周波数を64kHzから32kHzへ変換したのち、デジタルNR16へ入力する。デジタルNR16では、まずSW142( $\overline{PB}$ 側)を通してエンファシス回路21にて高域成分を強調したのち、割算回路18に輸入する。割算回路18では、振幅レベル検波回路19の出力信号レベルに応じて入力音声信号のダイナミックレンジを対数的に $1/2$ に圧縮するように動作する。割算回路18の出力信号は、SW143( $\overline{PB}$ )を通してエンファシス回路22でさらに高域

が強調されたのち、一方は10ビット→8ビット変換回路25を通して8ビットデータになったのち、PCM変調回路27を経て、回転ヘッド29にてテープ上に記録される。他方は、ウェーティング回路23を通して高域強調されたのち、振幅レベル検波回路19に投入し、振幅レベルが検波され、ダイナミックレンジを圧縮するための割算回路18の入力データとなる。

再生時には、記録時と全く逆の動作を行なってデジタルNR16にてダイナミックレンジを2倍に伸長する。つまり、8ビット→10ビット変換回路26の出力信号(10ビット)は、SW143, 144を通して、エンファシス回路22とウェーティング回路23に投入する。ここで、二つのエンファシス回路21, 22は、入力端15から入力するPB/PB制御信号により、記録時(PB時)とは逆特性となるように係数が切換えられる。エンファシス回路22の出力信号とウェーティング回路23にて高域強調された信号の振幅レベルを検波回路19にてレベル検波した検波出力とが掛算器17で掛算され、ダイナ

ミックレンジが元のレベルに伸長される。掛算器17の出力は、エンファシス回路21でPB時には高域抑圧されたのち、SW13, デジタルLPP14を通してDAC12にてアナログ信号に変換される。DAC12の出力信号はSW10, 5, 6を経て、LPP7, 8にて不変信号を除去したのち、出力端3, 4から再生音声信号として出力される。

なお、各ブロックの動作は、第1図、第4図、第5図と同様であるので、詳細説明は省略する。

このように、デジタルNR16によるダイナミックレンジの圧縮伸長により、記録データ伝送レートを $1/2$ 以下に低減することができる。

なお、デジタル処理によるダイナミックレンジ圧縮・伸長として他の構成も考えられるが、本発明の趣旨は、デジタルNRによりダイナミックレンジを圧縮し、伝送ビットレートを大幅に低減し、かつ、IC化に適したものを提供することであり、他の構成でも良いことは明らかである。

〔発明の効果〕

以上説明したように本発明によれば、

(1) デジタル信号のダイナミックレンジを圧縮伸長することで伝送ビットレートの低減を図るとともに、ダイナミックレンジの圧縮伸長により生ずるブリージング現象やオーバーフロー等の音質劣化を2系統のエンファシス回路とウェーティング回路及びアタックタイム特性、ホールドタイム特性、リカバリタイム特性とで防止し、低伝送ビットレートと高音質化とを達成できる。

(2) ダイナミックレンジの圧縮伸長動作をデジタル処理することで、

(i) 素子バラツキによる特性(エンファシス、アタック、ホールド、リカバリ等)の変動が生じない。

(ii) 上記エンファシス等の時定数回路が係数データとなるため、周辺部品及び調整箇所が不要

(iii) IC化に適しており、高集積化が図れる。などの特長がある。

(3) デジタルNRの圧縮動作、伸長動作を記録再

生にて係数データ切換などで兼用化が行なえる。

(4) 上記(1)~(3)の特長を総合して、超小形・軽量のデジタル信号記録再生システムの構築が可能である。

等の多くのメリットを有しており、その効果は大である。

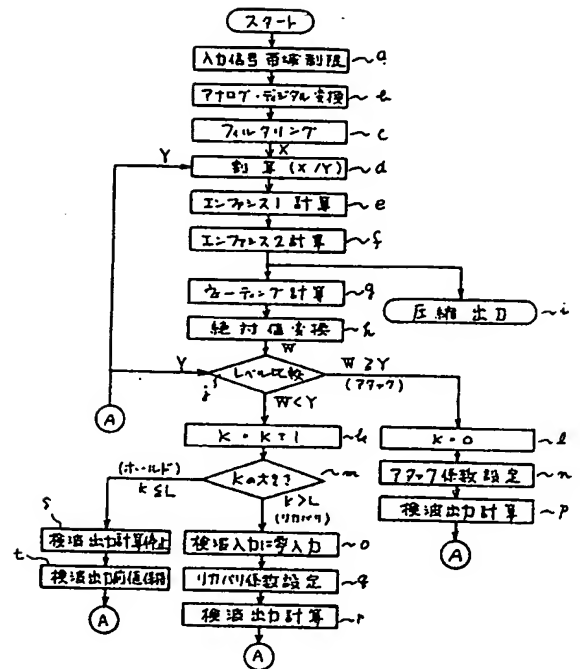
#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図、第3図は第1図の動作を説明するフローチャート、第4図、第5図は第1図に示した本発明の一実施例の具体的構成の一例を示すブロック図、第6図、第7図は第5図に示した回路の主要部分の具体的な構成の一例を示すブロック図、第8図は第1図、第4図、第5図の過渡特性の一例を説明するための波形図、第9図は本発明の他の一実施例を示すブロック図である。

16 ..... デジタルNR  
17 ..... 掛算器  
18 ..... 割算器  
19 ..... 振幅レベル検波器

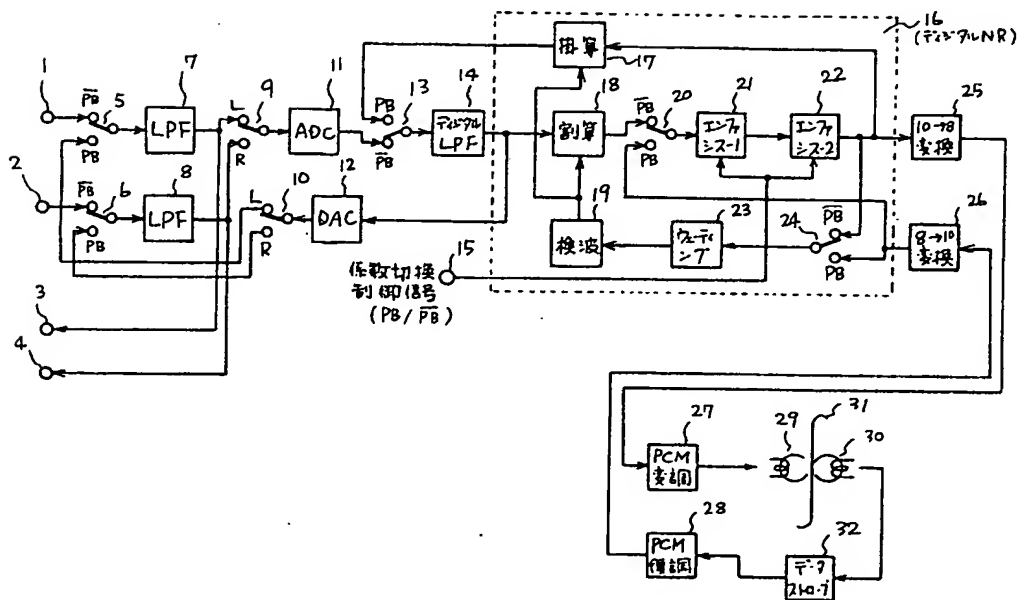
- 20, 24, 114, 118, 119 ..... SW  
 21, 22 ..... エンファシス回路  
 38 ..... 検波部  
 59 ..... ホールド回路  
 40, 41 ..... アタック・リカバリ・ホールド制御部  
 23 ..... ウェーティング回路  
 124, 128 ..... MPX  
 126 ..... IIR演算ユニット  
 116 ..... 掛算・割算ユニット  
 162 ..... 係数制御回路

第 2 図

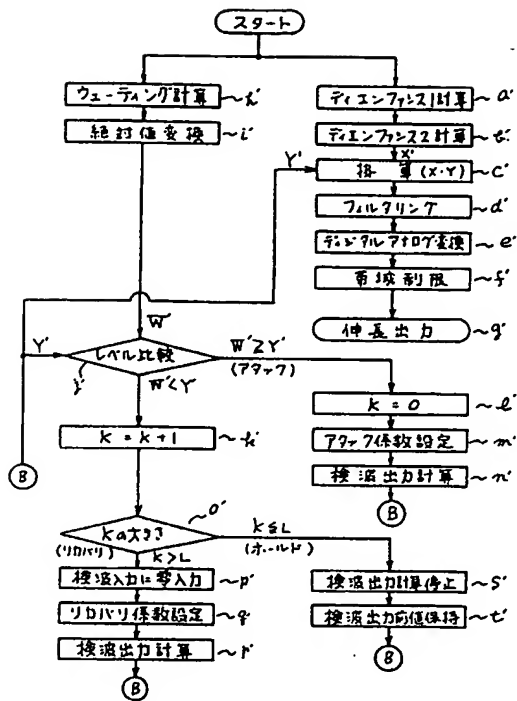


代理人 弁理士 小川 勝 男

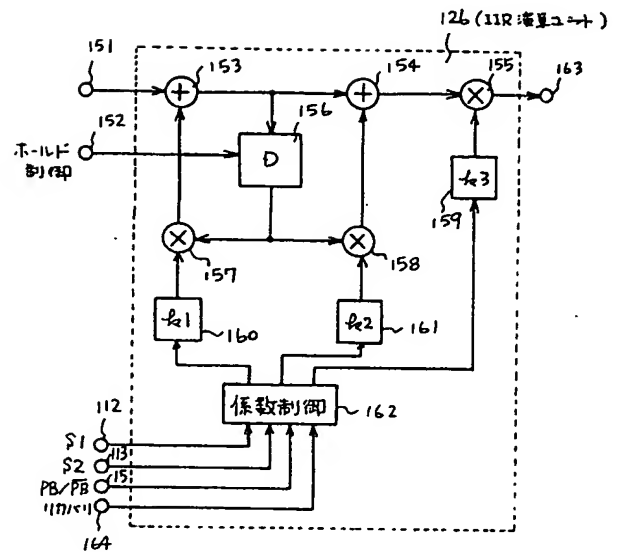
第 1 図



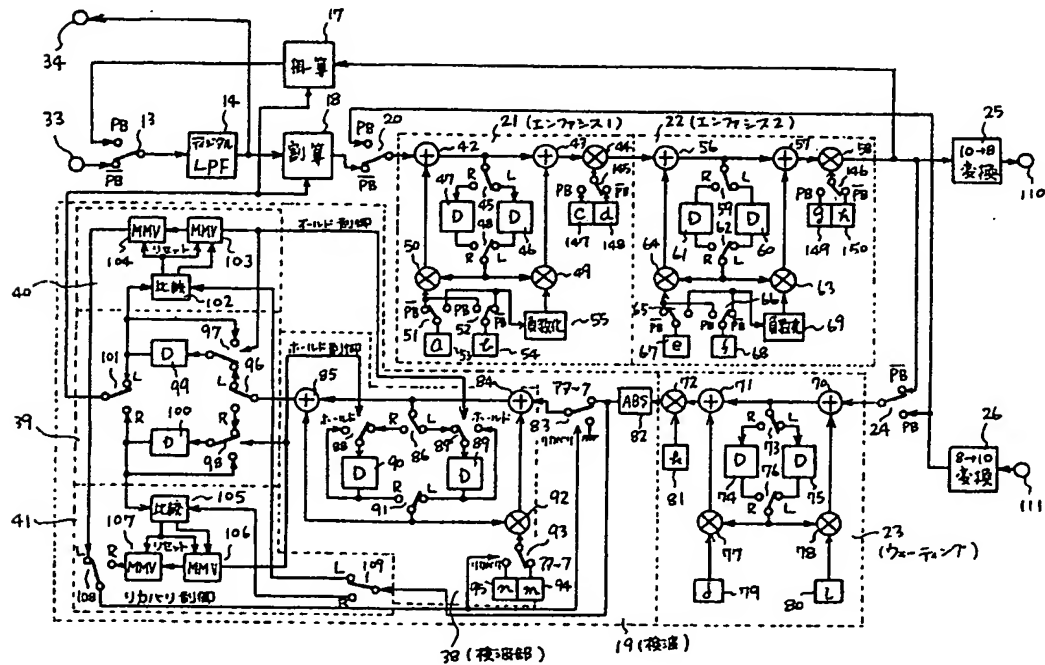
第 3 図



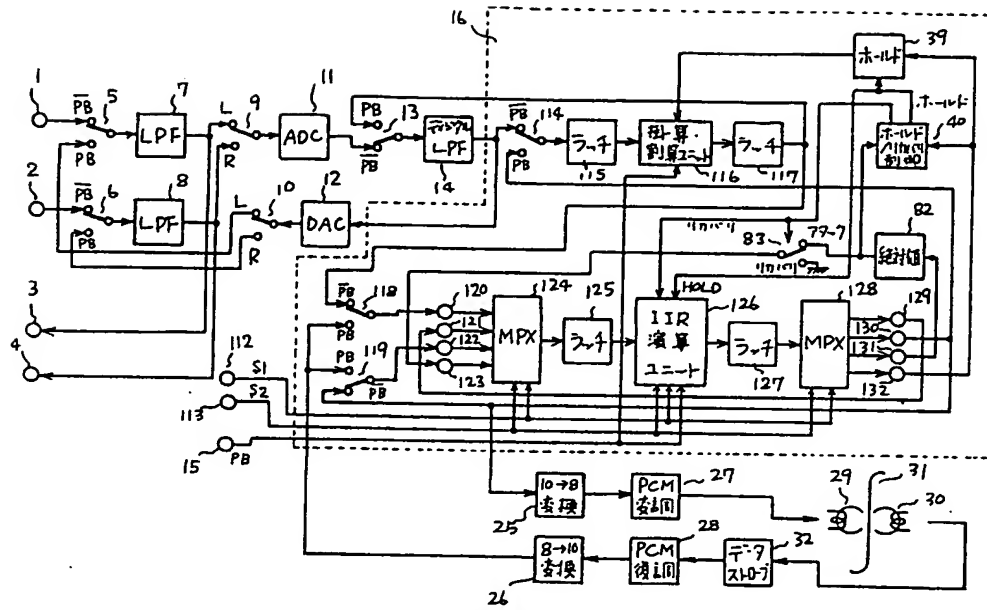
第 6 図



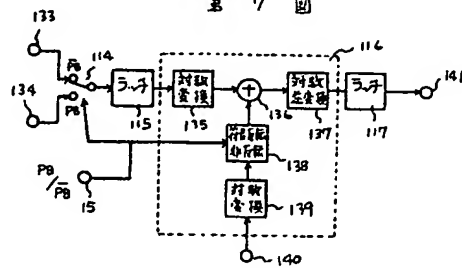
第 4 図



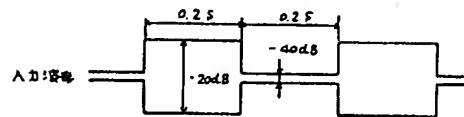
第 5 図



第 7 図

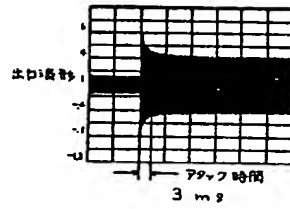


第 8 図  
(a)



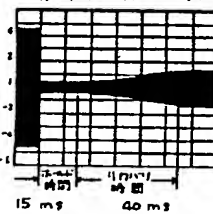
(b)

アンプ特性



(c)

ホールドリカバリ特性



## 第 9 図

